

PATENT COOPERATION TREATY

中村

PCT

From the INTERNATIONAL BUREAU

NOTIFICATION OF RECEIPT OF
RECORD COPY

(PCT Rule 24.2(a))

To:

OIWA, Masuo
UNITII INANO 202
41-Banchi, Inano-Cho 4-Chome
Itami-Shi, Hyogo 664-0861
JAPON

Date of mailing (day/month/year) 04 July 2001 (04.07.01)	IMPORTANT NOTIFICATION
Applicant's or agent's file reference A199070901WO	International application No. PCT/JP01/04885

The applicant is hereby notified that the International Bureau has received the record copy of the international application as detailed below.

Name(s) of the applicant(s) and State(s) for which they are applicants:

KABUSHIKI KAISHA ADVANCED DISPLAY (for all designated States except US)
HASHIGUCHI, Takafumi et al (for US)

International filing date : 11 June 2001 (11.06.01)
Priority date(s) claimed : 27 June 2000 (27.06.00)
Date of receipt of the record copy
by the International Bureau : 22 June 2001 (22.06.01)
List of designated Offices :

National :KR,US

ATTENTION

The applicant should carefully check the data appearing in this Notification. In case of any discrepancy between these data and the indications in the international application, the applicant should immediately inform the International Bureau.

In addition, the applicant's attention is drawn to the information contained in the Annex, relating to:

- ☒ time limits for entry into the national phase
☒ confirmation of precautionary designations
☒ requirements regarding priority documents

A copy of this Notification is being sent to the receiving Office and to the International Searching Authority.

The International Bureau of WIPO
34, chemin des Colombettes
1211 Geneva 20, Switzerland

Authorized officer:

Masashi HONDA

Facsimile No. (41-22) 740.14.35

Telephone No. (41-22) 338.83.38

THIS PAGE BLANK (USPTO)

INFORMATION ON TIME LIMITS FOR ENTERING THE NATIONAL PHASE

The applicant is reminded that the "national phase" must be entered before each of the designated Offices indicated in the Notification of Receipt of Record Copy (Form PCT/IB/301) by paying national fees and furnishing translations, as prescribed by the applicable national laws.

The time limit for performing these procedural acts is **20 MONTHS** from the priority date or, for those designated States which the applicant elects in a demand for international preliminary examination or in a later election, **30 MONTHS** from the priority date, provided that the election is made before the expiration of 19 months from the priority date. Some designated (or elected) Offices have fixed time limits which expire even later than 20 or 30 months from the priority date. In other Offices an extension of time or grace period, in some cases upon payment of an additional fee, is available.

In addition to these procedural acts, the applicant may also have to comply with other special requirements applicable in certain Offices. **It is the applicant's responsibility** to ensure that the necessary steps to enter the national phase are taken in a timely fashion. Most designated Offices do not issue reminders to applicants in connection with the entry into the national phase.

For detailed information about the procedural acts to be performed to enter the national phase before each designated Office, the applicable time limits and possible extensions of time or grace periods, and any other requirements, see the relevant Chapters of Volume II of the PCT Applicant's Guide. Information about the requirements for filing a demand for international preliminary examination is set out in Chapter IX of Volume I of the PCT Applicant's Guide.

GR and ES became bound by PCT Chapter II on 7 September 1996 and 6 September 1997, respectively, and may, therefore, be elected in a demand or a later election filed on or after 7 September 1996 and 6 September 1997, respectively, regardless of the filing date of the international application. (See second paragraph above.)

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination.

CONFIRMATION OF PRECAUTIONARY DESIGNATIONS

This notification lists only specific designations made under Rule 4.9(a) in the request. It is important to check that these designations are correct. Errors in designations can be corrected where precautionary designations have been made under Rule 4.9(b). The applicant is hereby reminded that any precautionary designations may be confirmed according to Rule 4.9(c) before the expiration of 15 months from the priority date. If it is not confirmed, it will automatically be regarded as withdrawn by the applicant. There will be no reminder and no invitation. Confirmation of a designation consists of the filing of a notice specifying the designated State concerned (with an indication of the kind of protection or treatment desired) and the payment of the designation and confirmation fees. Confirmation must reach the receiving Office within the 15-month time limit.

REQUIREMENTS REGARDING PRIORITY DOCUMENTS

For applicants who have not yet complied with the requirements regarding priority documents, the following is recalled.

Where the priority of an earlier national, regional or international application is claimed, the applicant must submit a copy of the said earlier application, certified by the authority with which it was filed ("the priority document") to the receiving Office (which will transmit it to the International Bureau) or directly to the International Bureau, before the expiration of 16 months from the priority date, provided that any such priority document may still be submitted to the International Bureau before that date of international publication of the international application, in which case that document will be considered to have been received by the International Bureau on the last day of the 16-month time limit (Rule 17.1(a)).

Where the priority document is issued by the receiving Office, the applicant may, instead of submitting the priority document, request the receiving Office to prepare and transmit the priority document to the International Bureau. Such request must be made before the expiration of the 16-month time limit and may be subjected by the receiving Office to the payment of a fee (Rule 17.1(b)).

If the priority document concerned is not submitted to the International Bureau or if the request to the receiving Office to prepare and transmit the priority document has not been made (and the corresponding fee, if any, paid) within the applicable time limit indicated under the preceding paragraphs, any designated State may disregard the priority claim, provided that no designated Office may disregard the priority claim concerned before giving the applicant an opportunity to furnish the priority document within a time limit which is reasonable under the circumstances.

Where several priorities are claimed, the priority date to be considered for the purposes of computing the 16-month time limit is the filing date of the earliest application whose priority is claimed.

THIS PAGE BLANK (USPTO)

PATENT COOPERATION TREATY

中村

PCT

From the INTERNATIONAL BUREAU

NOTICE INFORMING THE APPLICANT OF THE
COMMUNICATION OF THE INTERNATIONAL
APPLICATION TO THE DESIGNATED OFFICES

(PCT Rule 47.1(c), first sentence)

To:

OIWA, Masuo
UNITII INANO 202
41-Banchi, Inano-Cho 4-Chome
Itami-Shi, Hyogo 664-0861
JAPON

Date of mailing (day/month/year) 03 January 2002 (03.01.02)		
Applicant's or agent's file reference A199070901WO		IMPORTANT NOTICE
International application No. PCT/JP01/04885	International filing date (day/month/year) 11 June 2001 (11.06.01)	
		Priority date (day/month/year) 27 June 2000 (27.06.00)
Applicant KABUSHIKI KAISHA ADVANCED DISPLAY et al		

1. Notice is hereby given that the International Bureau has **communicated**, as provided in Article 20, the international application to the following designated Offices on the date indicated above as the date of mailing of this notice:

KR,US

In accordance with Rule 47.1(c), third sentence, those Offices will accept the present notice as conclusive evidence that the communication of the international application has duly taken place on the date of mailing indicated above and no copy of the international application is required to be furnished by the applicant to the designated Office(s).

2. The following designated Offices have waived the requirement for such a communication at this time:

None

The communication will be made to those Offices only upon their request. Furthermore, those Offices do not require the applicant to furnish a copy of the international application (Rule 49.1(a-bis)).

3. Enclosed with this notice is a copy of the international application as published by the International Bureau on 03 January 2002 (03.01.02) under No. WO 02/01286

REMINDER REGARDING CHAPTER II (Article 31(2)(a) and Rule 54.2)

If the applicant wishes to postpone entry into the national phase until 30 months (or later in some Offices) from the priority date, a **demand for international preliminary examination** must be filed with the competent International Preliminary Examining Authority before the expiration of 19 months from the priority date.

It is the applicant's sole responsibility to monitor the 19-month time limit.

Note that only an applicant who is a national or resident of a PCT Contracting State which is bound by Chapter II has the right to file a demand for international preliminary examination (at present, all PCT Contracting States are bound by Chapter II).

REMINDER REGARDING ENTRY INTO THE NATIONAL PHASE (Article 22 or 39(1))

If the applicant wishes to proceed with the international application in the **national phase**, he must, within 20 months or 30 months, or later in some Offices, perform the acts referred to therein before each designated or elected Office.

For further important information on the time limits and acts to be performed for entering the national phase, see the Annex to Form PCT/IB/301 (Notification of Receipt of Record Copy) and the PCT Applicant's Guide, Volume II.

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No. (41-22) 740.14.35	Authorized officer J. Zahra Telephone No. (41-22) 338.91.11
--	---

THIS PAGE BLANK (USPTO,

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/04885

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G02F1/1368

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G02F1/1368, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996

Kokai Jitsuyo Shinan Koho 1971-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2-10331 A (Hitachi, Ltd.), 16 January, 1990 (16.01.90) (Family: none)	1-7
A	JP 1-282523 A (Fujitsu Limited), 14 November, 1989 (14.11.89), Fig. 1 (Family: none)	1-7
A	JP 63-202719 A (Fujitsu Limited), 22 August, 1988 (22.08.88), Fig. 1 (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
04 September, 2001 (04.09.01)

Date of mailing of the international search report
18 September, 2001 (18.09.01)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

国際調査報告

(法8条、法施行規則第40、41条)
〔PCT18条、PCT規則43、44〕

出願人又は代理人 A199070 の書類記号 901WO	今後の手続きについては、国際調査報告の送付通知様式(PCT/ISA/220)及び下記5を参照すること。	
国際出願番号 PCT/JP01/04885	国際出願日 (日.月.年) 11.06.01	優先日 (日.月.年) 27.06.00
出願人(氏名又は名称) 株式会社アドバンスト・ディスプレイ		

国際調査機関が作成したこの国際調査報告を法施行規則第41条(PCT18条)の規定に従い出願人に送付する。
この写しは国際事務局にも送付される。

この国際調査報告は、全部で 2 ページである。

☐ この調査報告に引用された先行技術文献の写しも添付されている。

1. 国際調査報告の基礎

a. 言語は、下記に示す場合を除くほか、この国際出願がされたものに基づき国際調査を行った。

☐ この国際調査機関に提出された国際出願の翻訳文に基づき国際調査を行った。

b. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際調査を行った。

☐ この国際出願に含まれる書面による配列表

☐ この国際出願と共に提出されたフレキシブルディスクによる配列表

☐ 出願後に、この国際調査機関に提出された書面による配列表

☐ 出願後に、この国際調査機関に提出されたフレキシブルディスクによる配列表

☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった。

☐ 書面による配列表に記載した配列とフレキシブルディスクによる配列表に記録した配列が同一である旨の陳述書の提出があった。

2. ☐ 請求の範囲の一部の調査ができない(第I欄参照)。

3. ☐ 発明の単一性が欠如している(第II欄参照)。

4. 発明の名称は ☒ 出願人が提出したものを承認する。
☐ 次に示すように国際調査機関が作成した。

5. 要約は ☒ 出願人が提出したものを承認する。

☐ 第III欄に示されているように、法施行規則第47条(PCT規則38.2(b))の規定により国際調査機関が作成した。出願人は、この国際調査報告の発送の日から1カ月以内にこの国際調査機関に意見を提出することができる。

6. 要約書とともに公表される図は、
第 1 図とする。 ☒ 出願人が示したとおりである。

☐ なし

☐ 出願人は図を示さなかった。

☐ 本図は発明の特徴を一層よく表している。

THIS PAGE BLANK (USPTO,

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ G02F1/1368

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ G02F1/1368, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2-10331 A (株式会社日立製作所) 16. 1月. 1 990 (16. 01. 90) (ファミリーなし)	1-7
A	JP 1-282523 A (富士通株式会社) 14. 11月. 1 989 (14. 11. 89) 第1図 (ファミリーなし)	1-7
A	JP 63-202719 A (富士通株式会社) 22. 8月. 1 988 (22. 08. 88) 第1図 (ファミリーなし)	1-7

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

04. 09. 01

国際調査報告の発送日

18.09.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

藤岡 善行

2X

9225

電話番号 03-3581-1101 内線 3255

THIS PAGE BLANK (USPTO)

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 1 月 3 日 (03.01.2002)

PCT

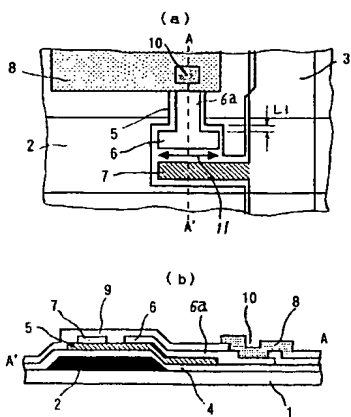
(10) 国際公開番号
WO 02/01286 A1

- (51) 国際特許分類: G02F 1/1368 (72) 発明者; および
(21) 国際出願番号: PCT/JP01/04885 (75) 発明者/出願人 (米国についてのみ): 橋口隆史 (HASHIGUCHI, Takafumi) [JP/JP]. 山口偉久 (YAMAGUCHI, Takehisa) [JP/JP]. 中川直紀 (NAKAGAWA, Naoki) [JP/JP]; 〒861-1198 熊本県菊池郡西合志町御代志997番地 株式会社 アドバンスト・ディスプレイ 内 Kumamoto (JP).
(22) 国際出願日: 2001 年 6 月 11 日 (11.06.2001)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ: 特願2000-193453 2000 年 6 月 27 日 (27.06.2000) JP (74) 代理人: 大岩増雄 (OIWA, Masuo); 〒664-0861 兵庫県伊丹市稲野町4丁目41番地 ユニティ稲野202 Hyogo (JP).
(71) 出願人 (米国を除く全ての指定国について): 株式会社 アドバンスト・ディスプレイ (KABUSHIKI KAISHA ADVANCED DISPLAY) [JP/JP]; 〒861-1198 熊本県菊池郡西合志町御代志997番地 Kumamoto (JP). (81) 指定国 (国内): KR, US.
添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: TFT ARRAY SUBSTRATE, AND LIQUID CRYSTAL DISPLAY DEVICE USING THE SAME

(54) 発明の名称: TFTアレイ基板およびこれを用いた液晶表示装置



(57) Abstract: The widths of the portions of a semiconductor layer (5) and a drain interconnection (6a) overlying the former, extending over the end of a gate electrode (2), are smaller than that of the channel of a thin film transistor. As a result, the superimposition area where the gate electrode (2) is superimposed on a drain electrode (6) is reduced, so that the area variation due to the misalignment of a photoengraving machine used for pattern-forming the gate interconnection, the drain electrode (6), and a source electrode (7) can be reduced to reduce defective display failures.

(57) 要約:

半導体層 5 およびこれに重なるドレイン配線 6 a がゲート電極 2 の端を跨ぐ部分の幅を、薄膜トランジスタのチャネル幅よりも狭くする。これにより、ゲート電極 2 とドレイン電極 6 の重なり面積を小さくし、ゲート配線 2、ドレイン電極 6 およびソース電極 7 をパターン形成する際に用いられる写真製版装置のアラメントずれによる、前記重なり面積のずれをより小さくし、表示不良を低減できる。

WO 02/01286 A1



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

T F T アレイ基板およびこれを用いた液晶表示装置

5 技術分野

本発明は、薄膜トランジスタ（以後 T F T と記す）をスイッチング素子として搭載したアクティブマトリクス型の T F T アレイ基板およびこれを用いた液晶表示装置に関する。

10 背景技術

第 7 (a) は従来の T F T アレイ基板の 1 画素を示す平面図、第 7 図 (b) はスイッチング素子である T F T 部を示す平面図、第 7 図 (c) は第 7 図 (b) 中 D - D ' で示す部分の断面図である。図において、1 は透明縁性基板、2 は透明絶縁性基板 1 上に複数本形成されたゲート配線およびこのゲート配線に備えられたゲート電極、3 はゲート配線 2 と交差する複数本のソース電極 7 を備えたソース配線、5 はゲート電極 2 上にゲート絶縁膜 4 を介して設けられた半導体層であり、この半導体層 5 に接続されたソース電極 7 及びドレイン電極 6 により T F T が構成されている。また、8 は透明導電膜よりなる画素電極で、層間絶縁膜 9 に設けられたコンタクトホール 10 を介してドレイン電極 6 に接続されている。なお、11 はチャネル幅を示している。

以下に、従来の T F T アレイ基板の製造方法を簡単に説明する。まず、透明絶縁性基板 1 上に、スパッタ法等により C r 等からなる金属膜を堆積後、写真製版法等によりパターンニングし、ゲート電極を備えたゲート配線 2 を形成する。次に、プラズマ C V D 法等によりゲート絶縁膜 4 と半導体層 5 を連続して堆積し、半導体層 5 をパターンニングした後、金属

膜を堆積しドレイン電極 6、ソース電極 7 およびソース配線 3 を形成する。次に、T F T を覆うように窒化シリコン等よりなる層間絶縁膜 9 を成膜し、コンタクトホール 10 を形成後、スパッタ法等により I T O 等の透明導電膜よりなる画素電極 8 を形成し、T F T アレイ基板が完成する。

液晶表示装置は、上記の T F T アレイ基板と対向電極基板の間に配置された液晶を、アレイ基板上の画素電極 8 と対向電極に印加した電圧で制御することにより映像表示を行うものである。この時、画素電極 8 への印加電圧が表示エリア内で異なると、輝度ムラやショットムラ、フリッカー等の表示不良を起こす。

第 8 図に画素電極電圧と各信号電圧の関係を示す。図において、A はゲート電極電圧、B は画素電極電圧、C はソース電極電圧を示している。ゲート電極電圧 A が T F T をオンさせる充電期間 C P に、画像電極電圧 B がソース電極 7 に印加され、ドレイン電極 6 を介して画素電極 8 に伝達される。画素電極電圧 B は充電期間中にソース電極電圧 C に到達しているが、充電期間 C P から保持期間 H P へゲート電極電圧 A がターンオフするとき、容量カップリング等により画素電極電圧 B が低下している。この画素電極 8 の電圧降下はフィードスルー電圧 D であり、以下の式で簡易的に表せられる。なお、式中、 ΔV_{gd} : フィードスルー電圧、 C_{gd} : ゲート電極とドレイン電極の寄生容量、 C_s : 画素電極の補助容量、 C_{lc} : 液晶容量をそれぞれ示している。

$$\Delta V_{gd} = \Delta V \times C_{gd} / (C_{lc} + C_s + C_{gd})$$

表示エリア内でフィードスルー電圧に差が起る原因のひとつに、ゲート電極 2 とドレイン電極 6 の寄生容量(以下 C_{gd} と記す)の変動がある。

画素や T F T がマトリクス状に配置されているアレイ基板は、写真製版法を用いて各パターンを形成しており、複数のショットを適用して 1 つ

の工程が完了する。各ショットにおいて写真製版装置のアライメントずれが生じた場合、ゲート電極 2、半導体層 5、ソース電極 7 およびドレイン電極 6 等のパターン配置関係が各ショット間で異なる。このためゲート電極 2 とドレイン電極 6 の重なり面積によって決定される C_{gd} が
5 ショット間で異なり、その結果各ショット間でフィードスルー電圧に差が生じ、ショットムラやフリッカー等が視認され易くなる。また、ゲート電極電圧 A がターンオフされるまで、ゲート電極 2 上のドレイン電極 6 の外部に形成された半導体層 5 がドレイン電極 6 と同電位になり、これも C_{gd} 変動に寄与している。

10 第 7 図に示す従来の T F T 構造では、T F T のチャネル幅 1 1 に平行な方向へのアライメントずれによるゲート配線 2 とドレイン電極 6 および半導体層 5 の重なり面積の変動は小さいが、チャネル幅 1 1 に垂直な方向へのアライメントずれに対しては配慮がなされておらず面積の変動が大きいという問題があった。さらに、従来構造では、ゲート配線 2 に
15 対する負荷容量が大きく、低減することが望ましかった。

また、例えば特開平 2 - 1 0 3 3 1 号公報では、ゲート電極により生じる段差部上でゲート絶縁膜を介して設けられるドレイン電極の段差部上の長さを、他の部分のドレイン電極幅よりも狭くすることにより、段差部に起因する上下層の短絡発生を低減した T F T アレイ基板が提案さ
20 れているが、同段差部上の半導体層の幅については記載されていなかった。

発明の開示

本発明は、上記のような問題点を解消するためになされたもので、本
25 発明が解決しようとする課題は、アレイ基板製造工程における写真製版装置のアライメントずれに起因するショットムラやフリッカー等の表示

不良が低減されると共に、ゲート配線に対する負荷容量が低減される高開口率のＴＦＴアレ基板およびこれを用いた液晶表示装置を得ることを目的とする。

本発明による課題を解決するための手段について説明する。本発明に係わるＴＦＴアレ基板は、絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線と、このゲート配線と交差する複数本のソース電極を備えたソース配線と、ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続されたソース電極及びドレイン電極よりなる薄膜トランジスタと、ドレイン電極から延びたドレイン配線に接続された画素電極を備えたＴＦＴアレ基板において、半導体層およびこれに重なるドレイン配線のゲート電極端を跨ぐ部分の幅を、薄膜トランジスタのチャンネル幅であるドレイン電極幅よりも狭く設けたものである。

さらに、ドレイン電極およびドレイン配線は、ゲート電極上において半導体層と重ならない部分を有するものである。

また、絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線と、このゲート配線と交差する複数本のソース電極を備えたソース配線と、ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続されたソース電極及びドレイン電極よりなる薄膜トランジスタと、ドレイン電極に接続された画素配線を有する画素電極を備えたＴＦＴアレ基板において、半導体層およびこれに重なる画素配線のゲート電極端を跨ぐ部分の幅を、薄膜トランジスタのチャンネル幅であるドレイン電極幅よりも狭く設けたものである。

さらに、ドレイン電極および画素配線は、ゲート電極上において半導体層と重ならない部分を有するものである。

また、絶縁性基板上に複数本形成されたゲート電極を備えたゲート配

線と、このゲート配線と交差する複数本のソース電極を備えたソース配線と、ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続されたソース電極及びドレイン電極よりなる薄膜トランジスタと、ドレイン電極に接続された画素配線を有する画素電極を備えたTFTアレイ基板において、画素配線のゲート電極端を跨ぐ部分の幅を、薄膜トランジスタのチャンネル幅であるドレイン電極幅よりも狭く設けたものである。

さらに、ドレイン電極は、ゲート電極上において半導体層と重ならない部分を有するものである。

また、本発明に係わる液晶表示装置は、上記いずれかのTFTアレイ基板と、透明電極およびカラーフィルタ等を有する対向電極基板または透明電極を有する対向電極基板の間に液晶が配置されているものである。

本発明による効果について説明する。本発明によるTFTアレイ基板は上記のように、絶縁性基板上に複数本形成されたゲート電極を備えたゲート配線と、このゲート配線と交差する複数本のソース電極を備えたソース配線と、ゲート電極上にゲート絶縁膜を介して設けられた半導体層と、この半導体層に接続されたソース電極及びドレイン電極よりなる薄膜トランジスタと、ドレイン電極から延びたドレイン配線に接続された画素電極を備えたものにおいて、半導体層およびこれに重なるドレイン配線のゲート電極端を跨ぐ部分の幅を、薄膜トランジスタのチャンネル幅であるドレイン電極幅よりも狭く設けたので、ゲート配線、ドレイン電極およびソース電極をパターン形成する際に用いる写真製版装置のアライメントずれにより生じる各ショット間のゲート電極とドレイン電極の重なり面積の差が小さくなり、これによりフィードスルー電圧のパラメーターであるゲート電極とドレイン電極の寄生容量の変動を低減できるため、ショットムラやフリッカー等の表示不良の発生を抑制できる。

また、ドレイン電極およびドレイン配線がゲート電極上において半導体層と重ならない部分を有するようにし、これによりゲート電極上においてドレイン電極およびドレイン配線からはみ出した半導体層の面積を小さくしたので、ドレイン電極からはみ出した半導体層とゲート電極で
5 形成される容量が小さくなり、フィールドスルー電圧にほとんど影響を与えないため、ショットムラやフリッカー等の表示不良の発生をさらに抑制できる。また、本発明によれば、従来のＴＦＴ構造よりもゲート配線に対する負荷容量を低減することができる。さらに、画素配線を採用することにより、従来よりも高開口率のＴＦＴアレイ基板を得ることが
10 でき、表示特性に優れた液晶表示装置が得られる。

図面の簡単な説明

第１図は 本発明の実施の形態１であるＴＦＴアレイ基板の構造を示す平面図および断面図である。

15 第２図は本発明の実施の形態２であるＴＦＴアレイ基板の構造を示す平面図である。

第３図は本発明の実施の形態３であるＴＦＴアレイ基板の構造を示す平面図および断面図である。

20 第４図は本発明の実施の形態４であるＴＦＴアレイ基板の構造を示す平面図である。

第５図は本発明の実施の形態５であるＴＦＴアレイ基板の構造を示す平面図および断面図である。

第６図は本発明の実施の形態６であるＴＦＴアレイ基板の構造を示す平面図である。

25 第７図は従来のＴＦＴアレイ基板の構造を示す平面図および断面図である。

第 8 図は画素電極電圧と各信号電圧の関係を示す図である。

発明を実施するための最良の形態

5 実施の形態 1.

以下に、本発明の実施の形態を図面に基づいて説明する。第 1 図 (a) は、本発明の実施の形態 1 における T F T アレイ基板のスイッチング素子である T F T 部を示す平面図、第 1 図 (b) は第 1 図 (a) 中 A - A' で示す部分の断面図である。

- 10 図において、1 は透明絶縁性基板、2 は透明絶縁性基板 1 上に複数本形成されたゲート配線およびこのゲート配線に備えられたゲート電極、3 はゲート配線 2 と交差する複数本のソース配線で、ソース電極 7 を備えている。5 はゲート電極 2 上にゲート絶縁膜 4 を介して設けられた半導体層であり、この半導体層 5 に接続されたソース電極 7 及びドレイン電極 6 により T F T が構成されている。また、8 は透明導電膜よりなる画素電極で、層間絶縁膜 9 に設けられたコンタクトホール 10 を介してドレイン電極 6 から延びたドレイン配線 6 a に接続されている。また、11 は T F T のチャネル幅を示している。

- 本実施の形態では、半導体層 5 およびこれに重なるドレイン配線 6 a の
20 ゲート電極 2 端を跨ぐ部分の幅を、T F T のチャネル幅 11 であるドレイン電極 6 の幅よりも狭く設けたものである。

- 本実施の形態における T F T アレイ基板の製造方法を簡単に説明する。まず、透明絶縁性基板 1 上に、スパッタ法等により Cr 等からなる金属膜を堆積後、写真製版法等によりレジストを露光後パターニングし、
25 ゲート電極を備えたゲート配線 2 を形成する。次に、プラズマ C V D 法等によりゲート絶縁膜 4 と半導体層 5 を連続して堆積し、半導体層 5 を

パターニングした後、Cr等からなる金属膜をスパッタ法等により堆積し、ドレイン電極6及びドレイン配線6a、ソース配線3およびソース電極7を形成する。次に、TFTを覆うように窒化シリコン等よりなる層間絶縁膜9を成膜し、ドレイン配線6aと画素電極8を接続するコンタクトホール10を形成後、スパッタ法等によりITO等の透明導電膜を成膜し、画素電極8をパターン形成して本実施の形態におけるTFTアレイ基板が完成する。さらに、このTFTアレイ基板と、透明電極およびカラーフィルタ等を有する対向電極基板または透明電極を有する対向電極基板の間に液晶を配置することにより、本実施の形態における液晶表示装置が得られる。

本実施の形態では、半導体層5およびこれに重なるドレイン配線6aのゲート電極2端を跨ぐ部分の幅を、TFTのチャネル幅11であるドレイン電極6の幅よりも狭く設けた。これにより、ゲート電極2、ドレイン電極6およびソース電極7をパターン形成する際に用いる写真製版装置のアライメントずれにより生じる各ショット間のゲート電極2とドレイン電極6の重なり面積の差が、従来のTFT構造（第7図（b）参照）に比べ小さくなるため、フィードスルー電圧のパラメータであるCgdの変動を低減でき、ショットムラやフリッカー等の表示不良の発生を抑制できる。また、Cgdに寄与するゲート電極2端を跨ぐ半導体層5の幅も狭く設けることにより、Cgd変動を防ぐことができる。特に、従来のTFT構造では、チャネル幅に平行な方向のアライメントずれしか考慮されていなかったが、本実施の形態では垂直方向のアライメントずれを考慮したことにより、あらゆる方向のアライメントずれによるCgdの変動を低減できるものである。

なお、ゲート電極2上に形成された半導体層5はCgdに寄与しており、第1図（a）中L1で示すドレイン電極6の一辺と半導体層5の一辺の

距離について、 L_1 が約 $5\mu m$ 以上になると半導体層5に起因するフィードスルー電圧が急激に増加するため、 L_1 は $5\mu m$ 以下に設計することが望ましい。

また、従来のTFT構造では、ド레인電極6がゲート絶縁膜4を介してゲート電極2端を跨ぐ段差部分において、ゲート電極2とド레인電極6の短絡が発生しやすいという問題があったが、本実施の形態ではド레인配線6aを採用することにより段差部分におけるド레인電極の幅を狭くしたので、短絡の発生確率が減少し、さらにド레인配線6aの膜厚を厚くすることにより断線も防止できる。

10 実施の形態2.

第2図は、本発明の実施の形態2におけるTFTアレ基板のスイッチング素子であるTFT部を示す平面図である。図中、同一、相当部分には同一符号を付し、説明を省略する。

本実施の形態では、上記実施の形態1と同様に、半導体層5およびこれに重なるド레인配線6aのゲート電極2端を跨ぐ部分の幅を、TFTのチャンネル幅 1_1 であるド레인電極6の幅よりも狭く設け、さらに、ド레인電極6およびド레인配線6aがゲート電極2上において半導体層5と重ならない部分を有するようにした。これにより、ゲート電極2上においてド레인電極6からはみ出した半導体層5の面積を上記実施の形態1よりも小さくしている。

上記実施の形態1に示したTFT構造（第1図（a））では、ゲート電極2上において、ド레인電極6からはみ出した半導体層5の面積が大きいので、フィードスルー電圧に影響を与える可能性がある。そこで、本実施の形態では、ゲート電極2上においてド레인電極6及びド레인配線6aの一部を半導体層5と重ならないように配置し、ド레인電極6からはみ出した半導体層5すなわちド레인電極6と同電位になる

半導体層 5 の面積を小さくすることで、フィードスルー電圧のパラメータである C_{gd} の値がドレイン電極 6 とゲート電極 2 の重なり面積でほぼ決定されるようにしたものである。

本実施の形態によれば、上記実施の形態 1 と同様の効果に加え、ドレイン電極 6 からはみ出した半導体層 5 の面積を小さくすることにより、 C_{gd} に寄与するドレイン電極 6 からはみ出した半導体層 5 とゲート電極 2 で形成される容量を小さくすることができるため、フィードスルー電圧の増加を抑制でき、ショットムラやフリッカーの発生をさらに抑制できる。

10 実施の形態 3 .

第 3 図 (a) は、本発明の実施の形態 3 における TFT アレイ基板のスイッチング素子である TFT 部を示す平面図、第 3 図 (b) は第 3 図 (a) 中 B-B' で示す部分の断面図である。図において、8a は画素電極 8 から延びてドレイン電極 6 に接続された画素配線である。なお、
15 図中、同一、相当部分には同一符号を付している。また、本実施の形態における TFT アレイ基板の製造方法は、画素配線 8a を有する画素電極 8 をパターン形成し、コンタクトホール 10 にてドレイン電極 6 と画素配線 8a を接続する以外は上記実施の形態 1 とほぼ同様であるため説明を省略する。

20 本実施の形態では、TFT のドレイン電極 6 をゲート電極 2 上の半導体層 5 上に設け、このドレイン電極 6 上にコンタクトホール 10 を設け、ドレイン電極 6 と画素配線 8a を電氣的に接続した TFT アレイ基板において、半導体層 5 およびこれに重なる画素配線 8a のゲート電極 2 端を跨ぐ部分の幅を、TFT のチャネル幅 11 であるドレイン電極 6 の幅
25 よりも狭く設けたものである。これにより、従来の TFT 構造 (第 7 図 (b) 参照) に比べ、写真製版装置のアライメントずれにより生じる各

ショット間のゲート電極 2 とドレイン電極 6 (および画素配線 8 a) の重なり面積の差が小さくなるため、フィードスルー電圧のパラメータである C_{gd} の変動を低減でき、ショットムラやフリッカーの発生を抑制できる。

- 5 なお、ゲート電極 2 上に形成された半導体層 5 は C_{gd} に寄与しており、第 3 図 (a) 中 L 2 で示すドレイン電極 6 の一辺と半導体層 5 の一辺の距離について、L 2 が約 $5 \mu m$ 以上になると半導体層 5 に起因するフィードスルー電圧が急激に増加するため、L 2 は $5 \mu m$ 以下に設計することが望ましい。

10 実施の形態 4

第 4 図は、本発明の実施の形態 4 における TFT アレイ基板のスイッチング素子である TFT 部を示す平面図である。図中、同一、相当部分には同一符号を付し、説明を省略する。

- 本実施の形態では、上記実施の形態 3 と同様に、半導体層 5 およびこれに重なる画素配線 8 a のゲート電極 2 端を跨ぐ部分の幅を、TFT のチャンネル幅 1 1 であるドレイン電極 6 の幅よりも狭く設け、さらに、ドレイン電極 6 および画素配線 8 a がゲート電極 2 上において半導体層 5 と重ならない部分を有するようにした。これにより、ゲート電極 2 上においてドレイン電極 6 および画素配線 8 a からはみ出した半導体層 5 の面積を上記実施の形態 3 よりも小さくしている。

- 本実施の形態によれば、上記実施の形態 3 と同様の効果に加え、 C_{gd} の要因となるドレイン電極 6 および画素配線 8 a からはみ出した半導体層 5 とゲート電極 2 で形成される容量を小さくすることができるため、フィードスルー電圧の増加を抑制でき、ショットムラやフリッカーの発生をさらに抑制できる。

実施の形態 5 .

第5図(a)は、本発明の実施の形態5におけるTFTアレ基板のスイッチング素子であるTFT部を示す平面図、第5図(b)は第5図(a)中C-C'で示す部分の断面図である。図中、同一、相当部分には同一符号を付し説明を省略する。

- 5 本実施の形態では、TFTのドレイン電極6をゲート電極2上の半導体層5上に設け、このドレイン電極6上にコンタクトホール10を設け、ドレイン電極6と画素配線8aを電氣的に接続したTFTアレ基板において、画素配線8aのゲート電極2端を跨ぐ段差部分の幅を、TFTのチャンネル幅11であるドレイン電極6の幅よりも狭く設けたものである。
- 10 これにより、従来のTFT構造(第7図(b)参照)に比べ、写真製版装置のアライメントずれにより生じる各ショット間のゲート電極2とドレイン電極6(および画素配線8a)の重なり面積の差が小さくなるため、フィードスルー電圧のパラメータであるCgd変動を低減でき、ショットムラやフリッカーの発生を抑制できる。
- 15 なお、ゲート電極2上に形成された半導体層5はCgdに寄与しており、第5図(a)中L3で示すドレイン電極6の一辺と半導体層5の一辺の距離について、L3が約5 μ m以上になると半導体層5に起因するフィードスルー電圧が急激に増加するため、L3は5 μ m以下に設計することが望ましい。

20 実施の形態6.

第6図は、本発明の実施の形態6におけるTFTアレ基板のスイッチング素子であるTFT部を示す平面図である。図中、同一、相当部分には同一符号を付し、説明を省略する。

- 25 本実施の形態では、上記実施の形態5と同様に、画素配線8aのゲート電極2端を跨ぐ部分の幅を、TFTのチャンネル幅11であるドレイン電極6の幅よりも狭く設け、さらに、ドレイン電極6がゲート電極2上

において半導体層 5 と重ならない部分を有するようにした。これにより、ゲート電極 2 上においてド레인電極 6 からはみ出した半導体層 5 の面積を上記実施の形態 5 よりも小さくしている。

本実施の形態によれば、上記実施の形態 5 と同様の効果に加え、Cgd
5 に寄与するド레인電極 6 からはみ出した半導体層 5 とゲート電極 2 で形成される容量を小さくすることができるため、フィードスルー電圧の増加を抑制でき、ショットムラやフリッカーの発生をさらに抑制できる。

なお、上記実施の形態 1 ～実施の形態 6 におけるド레인電極 6、ド
レイン配線 6 a および画素配線 8 a、半導体層 5 の形状は、図に示す形
10 状に限定されるものではなく、ド레인配線 6 a または画素配線 8 a のゲート電極 2 端を跨ぐ部分の幅が T F T のチャネル幅 1 1 であるド레인電極 6 の幅よりも狭く設けられていれば、任意のパターンでも同様の効果が期待できる。

また、T F T を形成するゲート電極 2、半導体層 5 およびド레인電
15 極 6 のパターンを設計するにあたり、ショット間のアライメントずれ発生によるフィードスルー電圧の変化を約 1 5 0 m V 以下にすることが望ましい。

また、本発明は上記実施の形態 1 ～実施の形態 6 で説明した T F T 構造にのみ適用されるものではなく、例えば、ゲート配線から突起状に引
20 き出されたゲート電極上にド레인電極およびソース電極を形成して構築した T F T においても、ゲート電極による段差部上の画素と電氣的に接続されているド레인配線または画素配線等の金属パターンと半導体層の幅を T F T のチャネル幅よりも狭く設けることにより、同様の効果が得られる。

本発明のＴＦＴアレイ基板は液晶表示装置に用いられ、その表示不良を低減し、またゲート配線に対する負荷容量を低減するのに有効である。またこの発明による液晶表示装置は、各種表示装置の表示パネルとして利用される。

請 求 の 範 囲

1. 絶縁性基板 1 の上に複数本形成されたゲート電極を備えたゲート配線 2、上記ゲート配線と交差する複数本のソース電極 7 を備えたソース配線 3、上記ゲート電極上にゲート絶縁膜 4 を介して設けられた半導体層 5 と、この半導体層に接続された上記ソース電極 7 及びドレイン電極 6 よりなる薄膜トランジスタ、上記ドレイン電極 6 から延びたドレイン配線 6 a に接続された画素電極 8 を備えた T F T アレイ基板において、
5 上記半導体層 5 およびこれに重なる上記ドレイン配線 6 a が上記ゲート電極 2 の端を跨ぐ部分の幅を、上記薄膜トランジスタのチャネル幅 1 1 である上記ドレイン電極 6 の幅よりも狭くしたことを特徴とする T F T アレイ基板。
2. ドレイン電極 6 およびドレイン配線 6 a は、ゲート電極 2 の上において半導体層 5 と重ならない部分を有することを特徴とする請求項 1 記
15 載の T F T アレイ基板。
3. 絶縁性基板 1 の上に複数本形成されたゲート電極を備えたゲート配線 2、上記ゲート配線と交差する複数本のソース電極 7 を備えたソース配線 3、上記ゲート電極上にゲート絶縁膜 4 を介して設けられた半導体層 5 と、この半導体層に接続された上記ソース電極 7 及びドレイン電極
20 6 よりなる薄膜トランジスタ、上記ドレイン電極 6 に接続された画素配線を 8 a 有する画素電極 8 を備えた T F T アレイ基板において、上記半導体層 5 およびこれに重なる上記画素配線 8 a が上記ゲート電極 2 の端を跨ぐ部分の幅を、上記薄膜トランジスタのチャネル幅 1 1 である上記ドレイン電極幅よりも狭くしたことを特徴とする T F T アレイ基板。
- 25 4. ドレイン電極 6 および画素配線 8 a は、ゲート電極 2 の上において半導体層 5 と重ならない部分を有することを特徴とする請求項 3 記載の

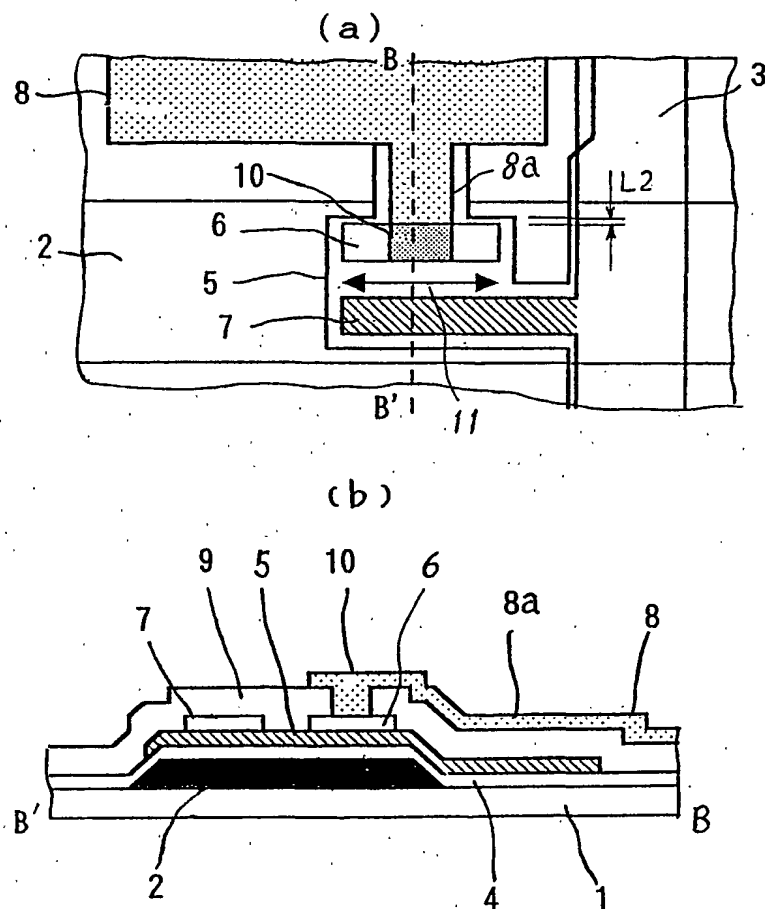
T F T アレイ基板。

5. 絶縁性基板 1 の上に複数本形成されたゲート電極を備えたゲート配線 2、上記ゲート配線と交差する複数本のソース電極 7 を備えたソース配線 3、上記ゲート電極 2 の上にゲート絶縁膜 4 を介して設けられた半
- 5 導体層 5 と、この半導体層に接続された上記ソース電極 7 及びドレイン電極 6 よりなる薄膜トランジスタ、上記ドレイン電極 6 に接続された画素配線 8 a を有する画素電極 8 を備えた T F T アレイ基板において、上記画素配線 8 a g a 上記ゲート電極 2 の端を跨ぐ部分の幅を、上記薄膜トランジスタのチャネル幅 1 1 である上記ドレイン電極幅よりも狭くし
- 10 たことを特徴とする T F T アレイ基板。
6. ドレイン電極 6 は、ゲート電極 2 の上において半導体層 5 と重ならない部分を有することを特徴とする請求項 5 記載の T F T アレイ基板。
7. 請求項 1 ～請求項 6 のいずれか一項に記載の T F T アレイ基板と、透明電極およびカラーフィルタ等を有する対向電極基板または透明電極
- 15 を有する対向電極基板の間に液晶が配置されていることを特徴とする液晶表示装置。

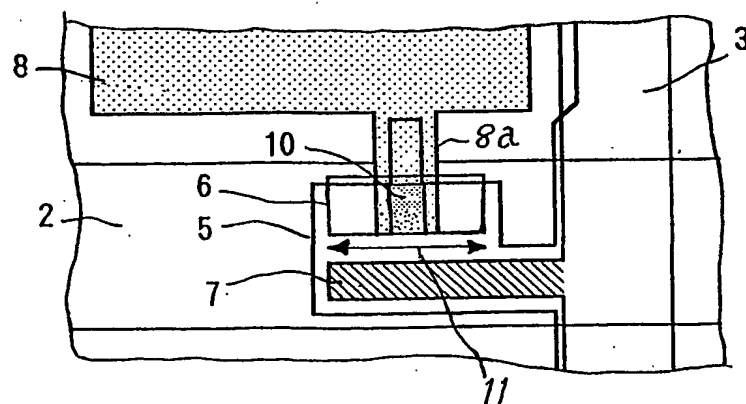
THIS PAGE BLANK (USPTO)

2 / 5

第3図



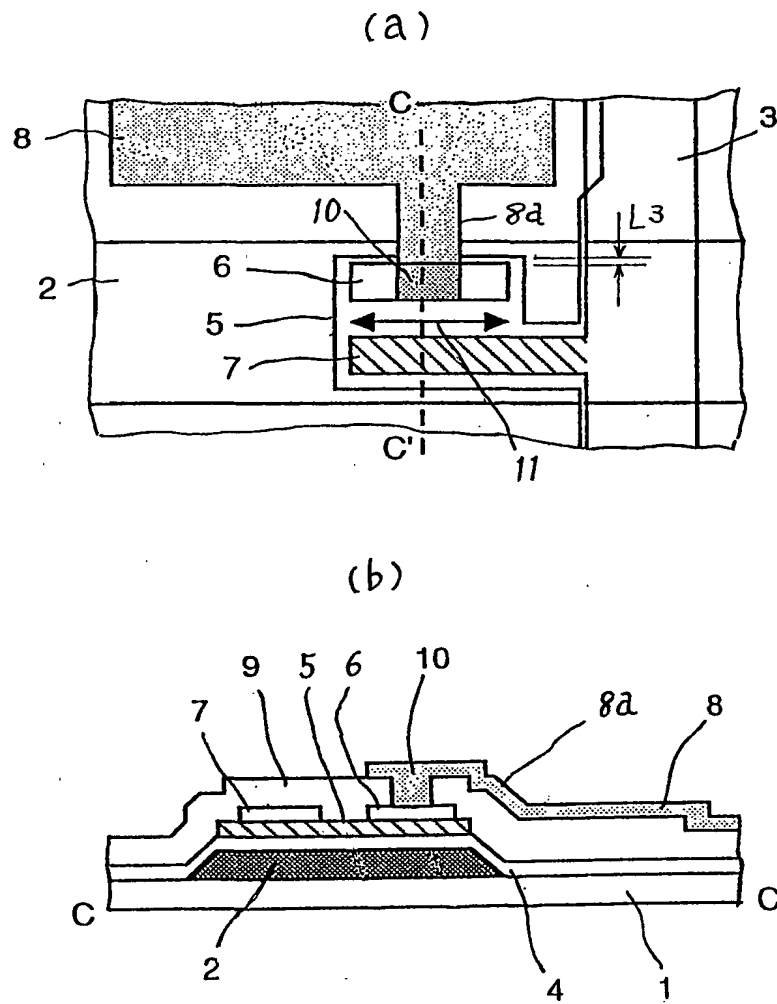
第4図



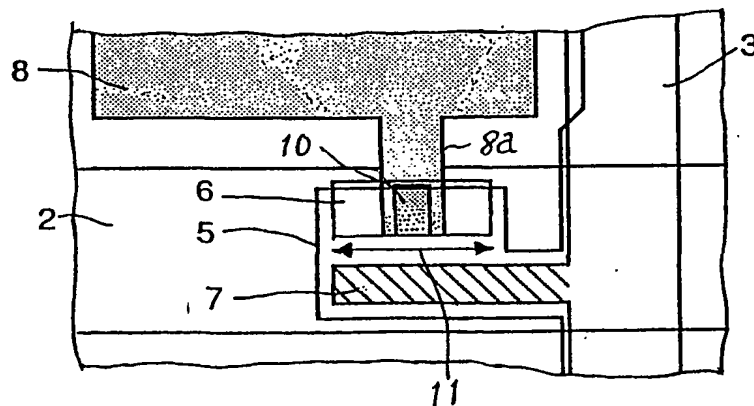
THIS PAGE BLANK (USPTO)

3 / 5

第5図



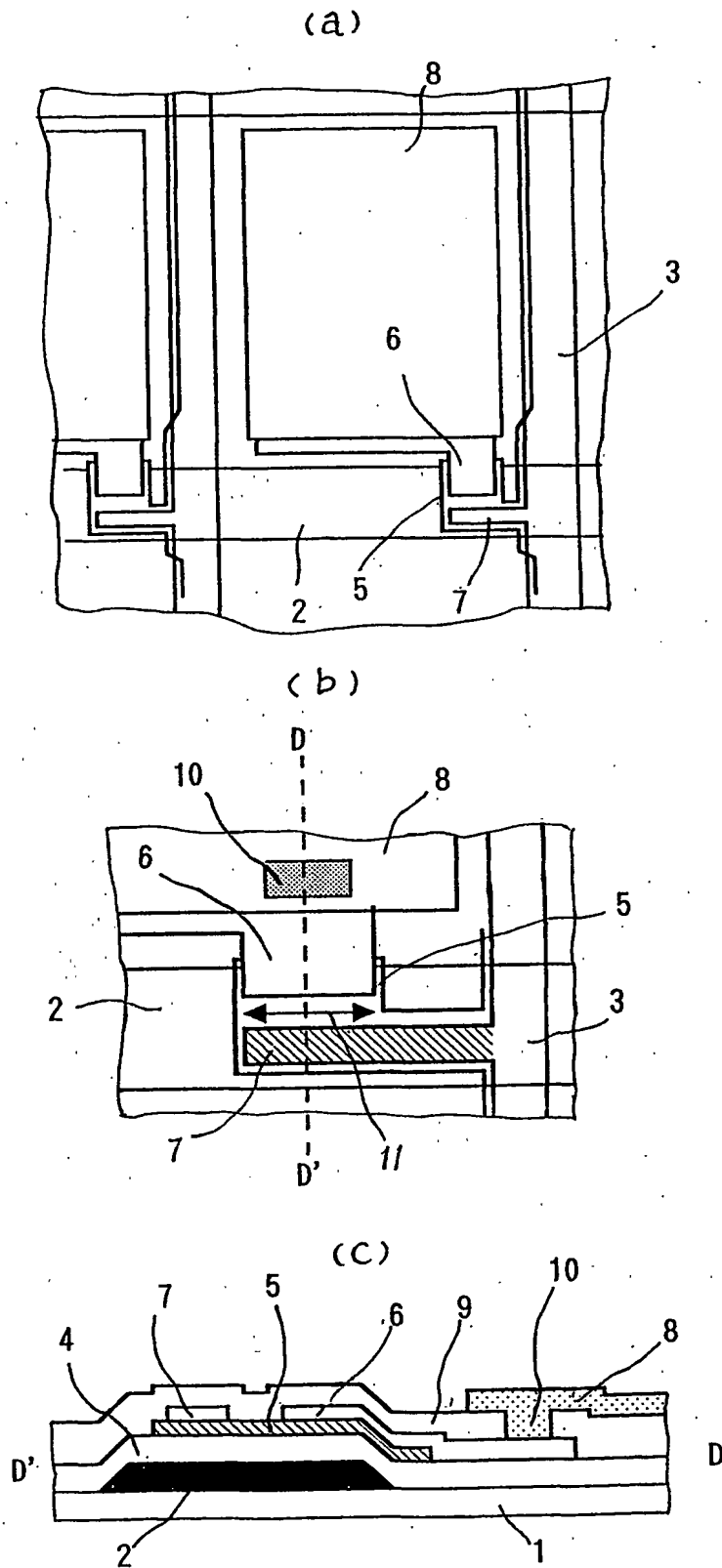
第6図



THIS PAGE BLANK (USPTO)

4 / 5

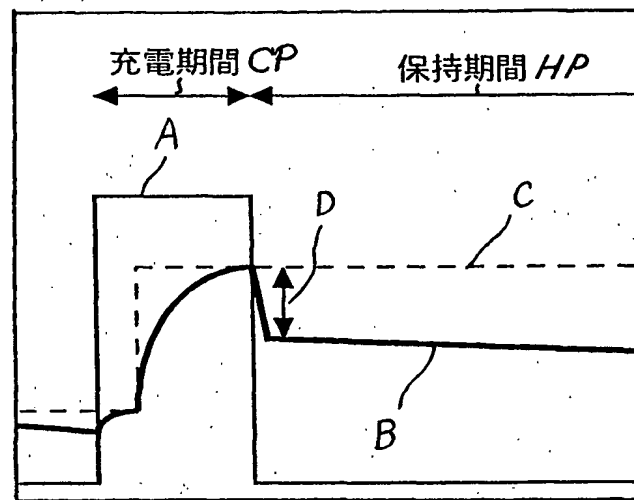
第7図



THIS PAGE BLANK (USPTO)

5 / 5

第8図



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/04885

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G02F1/1368

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G02F1/1368, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996

Kokai Jitsuyo Shinan Koho 1971-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2-10331 A (Hitachi, Ltd.), 16 January, 1990 (16.01.90) (Family: none)	1-7
A	JP 1-282523 A (Fujitsu Limited), 14 November, 1989 (14.11.89), Fig. 1 (Family: none)	1-7
A	JP 63-202719 A (Fujitsu Limited), 22 August, 1988 (22.08.88), Fig. 1 (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
04 September, 2001 (04.09.01)Date of mailing of the international search report
18 September, 2001 (18.09.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

THIS PAGE BLANK (USPTO)

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl⁷ G02F1/1368

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl⁷ G02F1/1368, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
日本国公開実用新案公報 1971-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2-10331 A (株式会社日立製作所) 16. 1月. 1 990 (16. 01. 90) (ファミリーなし)	1-7
A	JP 1-282523 A (富士通株式会社) 14. 11月. 1 989 (14. 11. 89) 第1図 (ファミリーなし)	1-7
A	JP 63-202719 A (富士通株式会社) 22. 8月. 1 988 (22. 08. 88) 第1図 (ファミリーなし)	1-7

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日 04. 09. 01

国際調査報告の発送日 18.09.01

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
藤岡 善行



2X 9225

電話番号 03-3581-1101 内線 3255

THIS PAGE BLANK (USPTO)